

(7)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-170825

(43)Date of publication of application : 14.06.2002

(51)Int.Cl.

H01L 21/318
H01L 21/8234
H01L 27/088
H01L 29/78

(21)Application number : 2000-365180

(71)Applicant : NEC CORP

(22)Date of filing : 30.11.2000

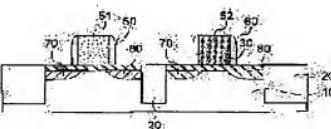
(72)Inventor : MOGAMI TORU
TOGO MITSUHIRO
WATABE KOJI
YAMAMOTO TOYOJI
IGARASHI NOBUYOSHI
SHIBA KAZUTOSHI
TATSUMI TORU
ONO HARUHIKO

(54) SEMICONDUCTOR DEVICE AND MIS TYPE SEMICONDUCTOR DEVICE, AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor which is constructed so as to surely inhibit phenomena where impurities from an electrode adjacent to an extreme-thin dielectric film affect an electrode and substrate on the opposite side through the electrode, without causing damage to a characteristic of a transistor.

SOLUTION: The semiconductor includes a silicon oxide-nitride film whose main components are silicon nitride and silicon oxide, and the dielectric constant of the silicon oxide-nitride film is larger than the dielectric constant which is the simple average of dielectric constants of the silicon oxide and silicon nitride by the rate of composition. Such a semiconductor provides an effect capable of inhibiting exactly the phenomena which impurities from an electrode adjacent to an extreme-thin dielectric film affect an electrode and substrate on the opposite side through the electrode.



LEGAL STATUS

[Date of request for examination] 12.08.2003

[Date of sending the examiner's decision of rejection] 22.08.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-170825

(P2002-170825A)

(43)公開日 平成14年6月14日 (2002.6.14)

(51)Int.Cl.⁷
 H 0 1 L 21/318
 21/8234
 27/088
 29/78

識別記号

F I
 H 0 1 L 21/318
 27/08
 29/78

7-73-1⁷ (参考)
 C 5 F 0 4 0
 1 0 2 C 5 F 0 4 8
 3 0 1 G 5 F 0 5 8

(21)出願番号 特願2000-365180(P2000-365180)

(22)出願日 平成12年11月30日 (2000.11.30)

特許法第30条第1項適用申請有り 2000年6月13日～15日 開催の「2000 SYMPOSIUM ON VLSI TECHNOLOGY DIGEST OF TECHNICAL PAPERS」において文書をもって発表

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 最上 橙

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 東郷 光洋

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100096231

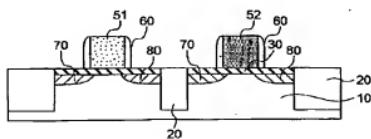
弁理士 稲垣 清

最終頁に続く

(54)【発明の名称】半導体装置及びMIS型半導体装置並びにその製造方法

(57)【要約】

【課題】トランジスタ特性を損なわせることなく、極薄の絶縁膜に隣接する電極からの不純物が該絶縁膜を通して逆側の電極や基板に影響を及ぼす等の現象を確実に抑止できる構造の半導体装置を提供する。



【解決手段】窒化シリコン及び酸化シリコンを主成分とするシリコン酸窒化膜を含む半導体装置であって、シリコン酸窒化膜の比誘電率が、酸化シリコンの比誘電率及び窒化シリコンの比誘電率を組成比で単純平均した比誘電率よりも大きい。このような半導体装置によれば、極薄の絶縁膜に隣接する電極から不純物が該絶縁膜を通して逆側の電極や基板に影響を及ぼすような現象を確実に抑止する効果が得られる。

【特許請求の範囲】

【請求項1】 空化シリコン及び酸化シリコンを主成分とするシリコン酸化膜を含む半導体装置であって、前記シリコン酸化膜の比誘電率が、前記酸化シリコンの比誘電率及び空化シリコンの比誘電率を組成比で単純平均した比誘電率よりも大きいことを特徴とする半導体装置。

【請求項2】 前記シリコン酸化膜の比誘電率を ε 、前記酸化シリコンの比誘電率を3.9、前記空化シリコンの比誘電率を7、前記シリコン酸化膜における空化シリコンの組成比を x 、とするとき、前記比誘電率 ε が、次式

$$(1-x) \times 3.9 + x \times 7$$

で表される値よりも大であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記シリコン酸化膜の比誘電率が4.5以上且つ6.0未満であり、前記シリコン酸化膜中の空化シリコンの組成比が0.5～0.5であることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 前記シリコン酸化膜の比誘電率が6.0以上且つ6.5未満であり、前記シリコン酸化膜中の空化シリコンの組成比が0.5～0.45であることを特徴とする請求項1又は2に記載の半導体装置。

【請求項5】 前記シリコン酸化膜の比誘電率が6.5以上且つ7.5未満であり、前記シリコン酸化膜中の空化シリコンの組成比が0.5～0.4であることを特徴とする請求項1又は2に記載の半導体装置。

【請求項6】 前記シリコン酸化膜は、酸化膜換算膜厚1～3nmに対する物理膜厚が1.5～4.5nmであることを特徴とする請求項1～5の内の何れか1項に記載の半導体装置。

【請求項7】 前記シリコン酸化膜における膜中空素分布が前記シリコン酸化膜の表面から1nm以内に亘り、最大空素濃度位置が膜中心部分より表面側に位置することを特徴とする請求項1～6の内の何れか1項に記載の半導体装置。

【請求項8】 請求項1～7の内の何れか1項に記載の半導体装置によって構成されるMIS型半導体装置であって、

ゲート電極及びシリコン基板の双方を絶縁するゲート絶縁膜が前記シリコン酸化膜を含むことを特徴とするMIS型半導体装置。

【請求項9】 前記ゲート絶縁膜が、前記ゲート電極との間に、前記シリコン酸化膜とは組成が異なる別の絶縁膜を更に有することを特徴とする、請求項8に記載のMIS型半導体装置。

【請求項10】 シリコン基板上に、チャネルを挟んで相互に隣接する第1及び第2の素子領域と、前記チャネル上にゲート絶縁膜を介して形成されたゲート電極とを備えたMIS型半導体装置を製造する製造方法において、

前記第1、第2の素子領域及びチャネル上に活性酸素を用いてシリコン酸化膜を形成する工程と、活性酸素を用いたシリコン空化法によって前記シリコン酸化膜をシリコン酸化膜に形成して前記ゲート絶縁膜とする工程とを含み、

前記シリコン酸化膜の形成工程とシリコン酸化膜の形成工程と同じチャンバを用いて所定圧力下で連続して行うことにより、前記シリコン酸化膜を、空素導入量から期待される比誘電率より高い比誘電率を有する絶縁膜に形成することを特徴とするMIS型半導体装置の製造方法。

【請求項11】 シリコン基板上に、チャネルを挟んで相互に隣接する第1及び第2の素子領域と、前記チャネル上にゲート絶縁膜を介して形成されたゲート電極とを備えたMIS型半導体装置を製造する製造方法において、

前記第1、第2の素子領域及びチャネル上に、活性酸素及び活性空素を同時に用いてシリコン酸化膜を形成して前記ゲート絶縁膜とする工程を含み、

前記シリコン酸化膜の形成工程を所定圧力下で行うことにより、前記シリコン酸化膜を、空素導入量から期待される比誘電率より高い比誘電率を有する絶縁膜に形成することを特徴とするMIS型半導体装置の製造方法。

【請求項12】 シリコン基板上に、チャネルを挟んで相互に隣接する第1及び第2の素子領域と、前記チャネル上にゲート絶縁膜を介して形成されたゲート電極とを備えたMIS型半導体装置を製造する製造方法において、

前記第1、第2の素子領域及びチャネル上に活性空素を用いてシリコン空化膜を形成する工程と、活性酸素を用いたシリコン酸化法によって前記シリコン空化膜をシリコン酸化膜に形成して前記ゲート絶縁膜とする工程とを含み、

前記シリコン空化膜の形成工程とシリコン酸化膜の形成工程と同じチャンバを用いて所定圧力下で連続して行うことにより、前記シリコン空化膜を、空素導入量から期待される比誘電率より高い比誘電率を有する絶縁膜に形成することを特徴とするMIS型半導体装置の製造方法。

【請求項13】 前記チャンバに与えるパワーを100～300Wに、前記チャンバ内の活性種の圧力を0.1～1.0×10⁻²Paに夫々設定することを特徴とする請求項1～12の何れか1項に記載のMIS型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びMIS型半導体装置並びにその製造方法に関し、特に、極

薄の絶縁膜に隣接する電極から不純物が該絶縁膜を通して逆側の電極や基板に影響を及ぼす現象を防止する半導体装置及びMIS型半導体装置の構造、並びにその製造方法に関する。

【0002】

【従来の技術】半導体デバイスの微細化に伴い、ゲート絶縁膜の薄膜化が急速に進められており、膜厚が3nm以下の極薄ゲート絶縁膜が必要とされている。しかし、従来用いられるゲート絶縁膜としてのシリコン酸化膜では、膜厚が3nm以下になると、ゲート電極中の不純物(ボロン)がシリコン酸化膜中に熱拡散してシリコン基板に突き抜ける現象や、量子力学に従って電子が絶縁膜をすり抜ける直接トンネル現象に起因して、ゲートリーク電流が増加する等の現象が発生する。

【0003】ゲート電極中のボロンがシリコン酸化膜中を突き抜ける現象を解消する方法として、シリコン酸化膜中に窒素を導入するシリコン酸化膜が報告されている。従来のシリコン酸化膜の形成法として、半導体基板表面を直接に熱酸化するゲート絶縁膜の成膜方法が報告されている。

【0004】更に、MOS(Metal Oxide Semiconductor)トランジスタ用の酸化膜の形成方法としては、急速熱処理装置を利用したものが多く報告されている。例えば、シリコン基板上に作製した酸化膜を熱酸化してシリコン酸化膜を形成するもの、或いは、シリコン基板上に作製した酸化膜を熱酸化してシリコン酸化膜を形成するもの等がある。

【0005】ここで、シリコン基板上に直接に酸化膜を形成した場合、窒素分布がシリコン基板界面に位置することに起因して界面準位が増大するという問題があり、初めに酸化膜を形成し次いで窒化を行う方法が主流となっている。例えば、特開平2-256274号公報に掲載された方法によれば、バイロジニッキ酸化、又は乾燥酸素酸化によってシリコン基板表面に熱酸化膜を形成した後、窒化性ガス雰囲気中で熱反応させて熱窒化処理し、シリコン酸化膜に窒素を導入する。ここで、窒化性ガスとしては、窒素ガス、アモンニアガス、亜酸化窒素ガス、及び一酸化窒素ガスが挙げられる。

【0006】例えば、特開平6-140392号公報に、上記熱酸化処理による欠点を解消するためのプラズマによる窒化処理に関する記載がある。このプラズマ処理では、シリコン基板上に厚さ4nmのシリコン酸化膜を形成した半導体ウエハを真空チャンバ内に搬出し、急速熱処理装置で700°C～900°Cに加熱する。次いで、窒化材ガスとしてアモンニアガスを導入し、真空紫外光プラズマ発光ディスクランプにおいて発生させたAFプラズマによる真空紫外光をウエハ表面に照射する。

【0007】上記プラズマ処理では、光励起によってアモンニアガスを光分解し、発生した反応性に富む高エネルギーの活性窒素でシリコン酸化膜を直接に窒化し、こ

れにより、シリコン酸化膜を形成する。また近年、シリコン酸化膜中の窒素プロファイルを制御することは、電気的特性に優れたゲート酸化膜を形成する上で必要不可欠な技術となっている。

【0008】ジャーナル・オブ・アプライド・フィジックス84巻2980頁(J.Appl.Phys.84(1998)2980)には、急速熱処理装置を用いて、上記ゲート酸化膜中の窒素位置を制御する方法が記述されている。具体的には、一酸化窒素処理—酸素処理—酸化窒素処理を連続して行うことにより、膜厚4.0nmで窒素位置を界面と表面に偏析させる。このような構造では、界面の窒素でMOSトランジスタのホットキャリア耐性を向上させ、表面の窒素でゲート電極中のボロンがシリコン基板へ突き抜けることを抑制する。

【0009】また、マテリアル・リサーチ・ソサイエティ1999スプリング・ミーティング・アブストラクト84頁(MRS 1999 Spring Meeting Abstract 84)では、MOSトランジスタのチャネル領域での電荷の移動度を改善するために、ゲート絶縁膜中の窒素位置をゲート絶縁膜の中央に配置している。

【0010】一方、ゲートリーク現象を抑制する方法については、シリコン酸化膜はシリコン酸化膜と同程度であることが報告されている。これに対し、シリコン酸化膜系以外の高誘電率膜、例えば、酸化アルミニウム膜(誘電率:7～9)や、酸化ジルコニウム(誘電率:10)膜等の高誘電率金属酸化膜では、シリコン酸化膜に比してゲートリークを低減できることが報告されている。

【0011】しかし、シリコン酸化膜系以外の高誘電率膜では、ゲート電極とポリシリコン材料との整合性、熱安定性、耐熱性等を損なってトランジスタ特性を損なう等、実用化に対する大きな課題を含んでいた。従って、このような高誘電率膜に依らずに、シリコン酸化膜系絶縁膜を用いた3nm以下の膜厚においてゲートリークを低減することが、今後の微細トランジスタでは極めて重要な課題である。

【0012】

【発明が解決しようとする課題】ところで、以上説明したようなシリコン酸化膜には、以下のような問題点がある。第1の問題点は、3.0nm以下の極薄膜においては、シリコン酸化膜の誘電率をシリコン酸化膜の誘電率よりも高くできないことである。シリコン酸化膜の誘電率を高くすることができれば、他の高誘電率膜と同様に、電気膜厚を一定にしたままで物理膜厚を可能な限り厚くすることができます。これにより、3.0nm以下の極薄膜においてトランジスタ特性を損なうことなくゲートリークを低減することが可能になる。

【0013】第2の問題点は、シリコン酸化膜中の窒素分布を制御することが難しいということである。例えば、上記ジャーナル・オブ・アプライド・フィジックス

84卷2980頁に記載の方法で窒素位置を制御する場合には、一酸化窒素ガスを使用することによりシリコン基板界面の窒素量の低減が困難になる。上記マテリアル・リサーチ・ソサイエティ 1999年スプリング・ミーティング・アブストラクト84頁に記載の窒化法では、窒素位置を膜中央に配置させるのに25気圧のような高圧力のガス雰囲気が必要になるので、量産型の装置には適さない。また、一酸化窒素ガスと酸素ガスとを用いた高温の熱室化反応を利用するので、窒素位置の制御が一層困難である。

【0014】第3の問題点は、窒化反応が界面で起こることにより、窒素量の増加と共に界面ラフネスが増大することである。特に、プラズマを使用した特開平6-140392号公報に記載の方法を用いた場合には、酸化膜を窒化する工程中に界面ラフネスが増加する。

【0015】本発明は、上記に鑑み、トランジスタ特性を損なわせることなく、極薄の絶縁膜に隣接する電極からの不純物が絶縁膜を通して逆側の電極や基板に影響を及ぼす等の現象を確実に抑止できる構造の半導体装置及びMIS型半導体装置、並びにこのようなMIS型半導体装置を製造する製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置は、窒化シリコン及び酸化シリコンを主成分とするシリコン酸化膜を含む半導体装置であって、前記シリコン酸化膜の比誘電率が、前記酸化シリコンの比誘電率及び窒化シリコンの比誘電率を組成比で単純平均した比誘電率よりも大きいことを特徴とする。

【0017】本発明の半導体装置では、シリコン酸化膜を、電極間の絶縁膜、或いは、電極と基板間の絶縁膜とする場合に、極薄の絶縁膜に隣接する電極から不純物が絶縁膜を通して逆側の電極や基板に影響を及ぼすような現象を確実に抑止できる構造が得られる。

【0018】具体的には、酸化シリコンと窒化シリコンとの複合膜(酸化膜)における窒化シリコンの組成比(膜中どれだけの比率のシリコン原子が窒化状態にあるか)をxとすると、複合膜の化学式は、



と表される。この様な複合膜において、その比誘電率εが、酸化シリコンの比誘電率3.9と窒化シリコンの比誘電率7を組成比で単純平均した値よりも大きくなる、即ち

$$\varepsilon > (1-x) \times 3.9 + x \times 7$$

であることが本発明の特徴である。

【0019】また、前記シリコン酸化膜の比誘電率が4.5以上且つ6.0未満であり、前記シリコン酸化膜中の窒化シリコンの組成比が0.05~0.5であることが好ましい。この場合、ある電気膜厚のゲート絶縁膜を形成する際に、誘電率が高い分、トランジスタ特性を損なうことなく物理膜厚を厚くできるため、ゲートリーケ電流を有効に低減しながらも、良好なトランジスタ特性を維持することができる。

【0020】或いは、上記に代えて、前記シリコン酸化膜の比誘電率が6.0以上且つ6.5未満であり、前記シリコン酸化膜中の窒化シリコンの組成比が0.05~0.45であることも好ましい態様である。この場合、トランジスタの特性を維持したまま更にゲートリーケ電流を低減するという特性が得られる。

【0021】或いは、上記に代えて、前記シリコン酸化膜の比誘電率が6.5以上且つ7.5未満であり、前記シリコン酸化膜中の窒化シリコンの組成比が0.05~0.4であることも好ましい態様である。この場合、膜厚が薄くて誘電率が高いシリコン酸化膜による絶縁膜を得ることができ、また、窒素が絶縁膜との隣接する基板との界面近傍まで及ぶことがないので、トランジスタの特性の向上の上で好ましい。

【0022】また、シリコン酸化膜は、酸化膜換算膜厚1~3nmに対する物理膜厚が1.5~4.5nmであることが好ましい。この場合、効率良くゲート絶縁膜の誘電率を増加するという効果が得られる。

【0023】好ましくは、シリコン酸化膜における膜中窒素分布がシリコン酸化膜の表面から1nm以内に亘り、最大窒素濃度位置が膜中心部分より表面側に位置する。この場合、トランジスタの特性を変えずにゲートリーケ電流を低減できるという効果が得られる。

【0024】前記半導体装置によってMIS型半導体装置を構成する場合、ゲート電極及びシリコン基板の双方を絶縁するゲート絶縁膜が前記シリコン酸化膜を含むように構成できる。その際に、ゲート絶縁膜が、ゲート電極との間に、シリコン酸化膜とは組成が異なる別の絶縁膜を更に有する構成とすることもできる。この場合、下層ゲート絶縁膜でのゲートリーケ電流の低減効果、及び、上層ゲート絶縁膜材料の下層への拡散・応応の抑制効果を奏すことができる。また、High-k膜(高誘電率膜)と組み合わせてリーケ電流を大幅に低減することができ、良好な界面電気特性を達成することができる。なお、本発明の半導体装置は、MIS型半導体装置に限らず、DRAM等におけるキャッシュの容量絶縁膜への適用も可能である。

【0025】本発明のMIS型半導体装置の製造方法は、シリコン基板上に、チャネルを挟んで相互に隣接する第1及び第2の素子領域と、前記チャネル上にゲート絶縁膜を介して形成されたゲート電極とを備えたMIS型半導体装置を製造する製造方法において、前記第1、第2の素子領域及びチャネル上に活性酸素を用いてシリコン酸化膜を形成する工程と、活性窒素を用いたシリコン窒化法によって前記シリコン酸化膜をシリコン酸化膜に形成して前記ゲート絶縁膜とする工程とを含み、前

記シリコン酸化膜の形成工程とシリコン酸窒化膜の形成工程と同じチャンバを用いて所定圧力下で連続して行うことにより、前記シリコン酸窒化膜を、窒素導入量から期待される比誘電率より高い比誘電率を有する絶縁膜に形成することを特徴とする。

【0026】本発明のMIS型半導体装置の製造方法は、別の態様によると、シリコン基板上に、チャネルを挟んで相互に隣接する第1及び第2の素子領域と、前記チャネル上にゲート絶縁膜を介して形成されたゲート電極とを備えたMIS型半導体装置を製造する製造方法において、前記第1、第2の素子領域及びチャネル上に、活性酸素及び活性窒素を同時に用いてシリコン酸窒化膜を形成して前記ゲート絶縁膜とする工程を含み、前記シリコン酸窒化膜の形成工程を所定圧力下で行うことにより、前記シリコン酸窒化膜を、窒素導入量から期待される比誘電率より高い比誘電率を有する絶縁膜に形成することを特徴とする。

【0027】本発明のMIS型半導体装置の製造方法は、更に別の態様によると、シリコン基板上に、チャネルを挟んで相互に隣接する第1及び第2の素子領域と、前記チャネル上にゲート絶縁膜を介して形成されたゲート電極とを備えたMIS型半導体装置を製造する製造方法において、前記第1、第2の素子領域及びチャネル上に活性窒素を用いてシリコン窒化膜を形成する工程と、活性酸素を用いたシリコン酸化法によって前記シリコン窒化膜をシリコン酸窒化膜に形成して前記ゲート絶縁膜とする工程とを含み、前記シリコン窒化膜の形成工程とシリコン酸窒化膜の形成工程と同じチャンバを用いて所定圧力下で連続して行うことにより、前記シリコン酸窒化膜を、窒素導入量から期待される比誘電率より高い比誘電率を有する絶縁膜に形成することを特徴とする。

【0028】本発明のMIS型半導体装置の製造方法によると、極薄のゲート絶縁膜に隣接するゲート電極から不純物がゲート絶縁膜を通してシリコン基板に影響を及ぼす現象を確実に抑止できる構造を得ることができる。

【0029】具体的には、チャンバに与えるパワーを100～300Wに、チャンバ内の活性種の圧力を0.1～10×10⁻¹Paに夫々設定する。この場合、プラズマ雰囲気中のイオン種を減少させ、基板へのイオンダメージを抑制できる。また、ゲート絶縁膜にダメージを与えることなくゲート絶縁膜を形成することができる。

【0030】前述の酸素の活性種又は窒素の活性種は、夫々、酸素ガス及び窒素ガスのプラズマ励起又は光励起によって生成することができる。或いは、前記酸素の活性種又は窒素の活性種は、亜酸化窒素、一酸化窒素、アンモニアガスのプラズマ励起又は光励起によって生成することができる。そして、前記プラズマ励起は、ECR (Electron Cyclotron Resonance) プラズマ方法、ICP (Inductively Coupled Plasma) 方法、RF (Radio Frequency) プラズマ方法、又は、ヘリコン波プラズマ方法を用

いて実施することができる。

【0031】本明細書中における「物理膜厚」という語句は、電子顕微鏡観察やエリプソーメタによって測定される実膜厚を示すものであり、単に「膜厚」というときもこれと同義である。これに対し、「酸化膜換算膜厚」又は「電気的膜厚」は、ある膜厚のシリコン酸化膜以外の絶縁膜について、同じ容量特性を示すのに必要なシリコン酸化膜の厚さをもって膜厚を表記するもので、半導体分野では一般的に用いられる用語である。

【0032】また、(比)誘電率は、対象となる絶縁膜の膜厚方向での平均値である。更に、組成に関しては、上述の通り、酸窒化膜中の窒化膜比率をxとして、化学式を

(1-x)SiO_x + (1/3)x Si₃N₄

と表記する。実際の膜厚においては、窒素濃度は深さ方向に分布を持っており、従って組成比も深さによって異なることになるが、上の表記を用いる場合のxは酸窒化膜中の膜厚方向での窒素組成の平均値である。

【0033】ここで、対象とする絶縁膜の比誘電率をε₀、実膜厚(物理膜厚)をTox_{phys}、シリコン酸化膜の比誘電率をε_{SiO₂} (= 3.9)、酸化膜換算膜厚(電気的膜厚)をTox_{eq}とすれば、面積Sあたりの絶縁膜の容量Cは、

$C = \epsilon_0 \epsilon_s (S / Tox_{phys}) = \epsilon_0 \epsilon_{SiO_2} (S / Tox_{eq})$

である。従って、これらの膜厚、比誘電率の間には、 $\epsilon_s = (Tox_{phys} / Tox_{eq}) \epsilon_{SiO_2}$ の関係が成立立つ。

【0034】なお、本発明が対象とするような極薄膜では、リーキ電流の影響により正確な容量測定が困難なため、容量測定から誘電率を算出する一般的な方法は適用が難しい。このため、本発明に規定する誘電率の値は、対象とする酸窒化膜をゲート絶縁膜とするMOSトランジスタを作製し、その電気特性(しきい値の基板電圧依存性)を通常の酸化膜ゲートの場合と比較して酸化膜換算膜厚(電気的膜厚)を求め、これと電子顕微鏡観察等の手段により測定した実膜厚(物理膜厚)とから上の関係式により算出したものである。この比誘電率測定方法の詳細と、その妥当性については実施の形態において詳しく説明する。

【0035】

【発明の実施の形態】まず、本発明の好ましい態様のMIS型半導体装置について説明する。本発明は、活性窒素を用いる窒化法によって作製するシリコン酸窒化膜をゲート絶縁膜としたMIS型FETのデバイス特性評価結果の実験結果に基づいてなされた。

【0036】図10は、各工程で作製したシリコン酸窒化膜中のSIMSプロファイルを示すグラフである。このグラフは、活性酸素O⁺を用いた後に活性窒素N⁺を用いる第1のラジカルプロセス(O⁺→N⁺)で形成されたシリコン酸窒化膜、活性酸素O⁺と活性窒素N⁺とを同

時に用いる第2のラジカルプロセス ($N_2 + O_2$) で形成されたシリコン酸室化膜、及び、活性窒素N*を用いた後に活性酸素O*を用いる第3のラジカルプロセス ($N_2 \rightarrow O_2$) で形成されたシリコン酸室化膜の夫々における窒素分布を示す。グラフの横軸は、酸室化膜表面側を原点にとった場合のS-i基板方向への深さ、縦軸は窒素濃度を表す。深さ2.4nm付近に引いた破線は、シリコン酸室化膜とシリコン基板との界面位置を表している。また、各工程で作製した酸室化膜において、XPS測定から求めた窒素濃度を図中に記した。

【0037】まず、第1のラジカルプロセスでは、超高真空チャンバを用い、試料温度を620°Cに設定し、ラジカル酸化後にラジカル室化を行う。チャンバ内に酸素ガスを 5×10^{-1} Pa程度導入し、μ波を150Wで投入して240秒間の処理を行う。これにより、下地となる酸化膜を2.0nm程度に形成することができる。次いで、窒素ガスを 5×10^{-1} Pa程度導入し、μ波を150W投入して600秒間の処理を行う。これにより、酸化膜表面側から窒化反応が起こり、窒素が酸化膜表面側に局在した酸室化膜を形成することができる。

【0038】第2のラジカルプロセスでは、超高真空チャンバ内の試料温度を620°Cに設定し、チャンバ内に、酸素ガスと窒素ガスとを1:1の割合で 1×10^{-1} Pa程度同時に導入し、μ波を150W投入して300秒間の処理を行う。この条件により、シリコン酸室化膜を2.0nm程度に形成することができる。これにより、窒素が中央付近に局在した酸室化膜を形成することができる。

【0039】第3のラジカルプロセスでは、超高真空チャンバ内の試料温度を620°Cに設定し、チャンバ内に窒素ガスを 1×10^{-1} Pa程度導入し、μ波を150W投入して300秒間の処理を行った。これにより、下地となるシリコン酸室化膜を2.0nm程度形成することができる。引き続き、酸素ガスを 1×10^{-1} Pa程度導入し、μ波を150W投入して600秒間の処理を行った。これにより、酸室化膜表面側から酸化反応が起こり、窒素が基板界面側に局在した酸室化膜を形成する。

【0040】図10から、窒素位置が、ラジカル酸化後にラジカル室化を行う第1のラジカルプロセスでは表面付近に局在し、ラジカル室化後にラジカル酸化を行う第3のラジカルプロセスでは破線で示す界面付近に局在することができる。これらは、ラジカルを用いた酸化、窒化反応が主に表面側で起こっていることを意味する。

【0041】従来の RTP法による窒素位置制御では、酸化種、窒化種が膜中を拡散し、界面で反応を起こすとを利用している。本発明による窒素位置制御は、表面での反応を利用したもので、この利用により、3.0nm以下の浅い領域で窒素分布を容易に制御することができる。また、窒素が表面側に顕著に局在する構造を、界面で窒化反応を起こすことなく形成することができる。

り、これにより、酸化膜が有する良好な界面電気特性を保持することができる。

【0042】次いで、High-k膜(高誘電率膜)との組合せについて説明する。本発明の製造方法で作製したシリコン酸室化膜を、High-k膜(Zr、HF、La、Ti、Ta、Y、La、Al等との金属酸化物)の下地膜として用いた。従来、下地膜としてはシリコン酸化膜が用いられたが、シリコン酸化膜の誘電率は3.9と低いため、薄膜化を実現する上で大きな障害となっていた。

【0043】本発明の製造方法で作製したシリコン酸室化膜では、5~7の誘電率が得られ、誘電率の高いHigh-k膜と組み合わせることにより、更に薄膜化を進めることが可能となる。本発明によるシリコン酸室化膜とHigh-k膜によるET作製した場合に、従来の酸化膜と同等の界面電気特性が得られる。また、酸室化膜表面側に局在した窒素により、High-k材料として用いたメタルがシリコン基板側に拡散する現象を防止し、High-k/シリコン酸室化膜の界面におけるメタルと酸素との反応を抑制する効果が得られる。

【0044】また、良好なトランジスタの電気特性を得るために、窒素ピークをシリコン酸室化膜(SiO_x)及びシリコン基板(SiSub)の双方の表面から離させることが重要である。第1のラジカルプロセス ($O_2 + N_2$)で形成したシリコン酸室化膜における窒素ピークは、上述のようにシリコン酸室化膜の表面側にあり、ゲート絶縁膜として最適の状態を得る。つまり、最初に活性酸素O*を用いてシリコン酸化膜を形成し、次いで活性窒素N*を用いてシリコン酸化膜を窒化することで、シリコン酸室化膜の表面及びその近傍に窒素を分布させることができる。これは、活性窒素による窒化法では、シリコン酸化膜表面で窒化が進むことによる。

【0045】第2のラジカルプロセス ($O_2 + N_2$)で形成した酸室化膜における窒素ピークは、上述のようにシリコン酸室化膜とシリコン基板との界面(図10の破線位置)に近い部分にある。つまり、活性酸素O*と活性窒素N*を同時に用いて形成したシリコン酸室化膜では、窒素が酸室化膜のほぼ中央部分に位置しており、良好なトランジスタ特性を得るのに最適とは言えない。

【0046】第3のラジカルプロセス ($N_2 + O_2$)で形成した酸室化膜における窒素ピークは、上述のようにシリコン酸室化膜とシリコン基板との界面に近い位置にある。つまり、活性窒素N*を用いてシリコン酸室化膜を形成した後に、活性酸素O*を用いてシリコン酸室化膜に形成するので、シリコン基板界面に窒素が多く分布することになり、この場合も、良好なトランジスタ特性を得るのに最適とは言えない。

【0047】次に、本発明のシリコン酸室化膜の成膜処理をより詳細に説明する。まず、洗浄後に乾燥させたシリコン基板をUHV-酸室化膜形成装置(超高真空チャンバ:図9参照)に搬入する。更に、膜形成装置内にお

いて、 1×10^{-4} Pa (1×10^{-4} Torr) 以下の雰囲気中に保持し、シリコン基板を 920°C で 5 分間熱処理して、基板表面をクリーニングする。

【0048】引き続き、シリコン基板にシリコン酸化膜を、酸素ガス雰囲気下で、酸素ガスと水素ガスとの混合雰囲気下で、或いは、活性酸素雰囲気下で形成する。更に、シリコン酸化膜の形成後に、成膜温度を 750°C (実温度で 620°C) に、窒素ガス流量を 0.25 sccm に、成膜時の試料処理室の圧力 (活性種の圧力) を 5×10^{-4} Pa に、活性窒素を供給する ECR 装置の波形パワーワークを 150W に設定し、シリコン酸化膜の形成を $5 \sim 30$ 分間実施して、シリコン酸化膜に形成する。上記シリコン酸化膜の形成工程と、シリコン酸化膜への形成工程とを同一の超高真空チャンバで連続して実施する。引き続き、通常のゲート電極形成法とソース・ドレイン形成法とによって、MOS型半導体装置としての MOSトランジスタを完成する。

【0049】ここで、以上の方針で作製した膜厚 1.5 nm のゲート絶縁膜を有する MOSトランジスタについてそのトランジスタ特性を調べた。図 1 は、従来のシリコン酸化膜及び上記成膜法で形成したシリコン酸化膜の夫々におけるドレイン電流及びゲートリード電流を示すグラフである。横軸は、しきい値で正規化したゲート電圧 ($V_g - V_{th}$) を、縦軸は、ドレイン電流 (I_d) 及びゲート電流 (I_g) を表す。

【0050】同グラフでは、実線が第 1 のラジカルプロセス (O_2-N+) で形成されたシリコン酸化膜の特性を、破線が活性酸素 O_2 で形成されたシリコン酸化膜の特性を表す。同グラフから、シリコン酸化膜では、シリコン酸化膜と同じドレイン電流値を有しながらも、ゲートリード電流が 1 衍半～2 衍少ないと示す。

$$S = (kT/q) \ln 10 (C_{ox} \cdot C_{nch}) / C_{ox}$$

(但し、S はサブレッシュルード係数、k はボルツマン定数、T は温度、q は素電子電荷量、 C_{ox} は空乏層容量、C は

$$\mu_{eff} = (dI_d/dV_g) (L/W) / (L/W) / (C_{ox} (V_g - V_{th}))$$

(但し、 μ_{eff} は実効移動度、 I_d はドレイン電流、 V_g はドレイン電圧、L はゲート電極長、W はゲート電極幅、 C_{ox} はシリコン酸化膜容量、 V_{th} はゲート電圧、 V_{th} はしきい値電圧) から、界面単位、及び、ゲート絶縁膜の膜厚やゲート絶縁膜とシリコン基板との界面をも含む移動度を求めることができる。これにより、トランジスタにおけるしきい値の基板電圧依存性から酸化膜換算膜厚が導入できる。

【0054】図 1 は、ゲート絶縁膜が酸化膜の場合に、基板電圧 (V_b) を変えた際のドレイン電流 (I_d)、ゲート電流 (I_g) のゲート電圧 (V_g) に対する依存性を示すグラフである。横軸はゲート電圧 (V_g)、縦軸はドレイン★

$$V_{th} = ((2\epsilon_s \epsilon_{nch} q N_{ch})^{1/2} / C_{ox}) (V_b + 2\phi_f)^{1/2} + V_{fs} + 2\phi_f \quad \dots (3)$$

(但し、 N_{ch} はチャネルの不純物濃度、 C_{ox} はゲート絶縁膜の容量値であり電気膜厚 ($t_{ox-N_{ch}}$) を含む値、 ϵ_s は

★と理解できる。つまり、第 1 のラジカルプロセスで形成したシリコン酸化膜では、シリコン基板上にシリコン酸化膜を形成した後に該酸化膜を活性窒素 N+ で窒化しシリコン酸化膜に形成するので、従来のシリコン酸化膜に比してゲートリード電流の低減効果が顕著であった。

【0051】次いで、形成したシリコン酸化膜の比誘電率を測定した。物理膜厚は、透過電子顕微鏡によって測定する。電気膜厚は、通常の MOS 容量法ではリード電流が大きいため測定不能であり、リード電流に影響されない測定法として、トランジスタのしきい値電圧と基板電圧との関係により求めた。

【0052】上記測定法は、薄い酸化膜ではゲートリード電流が大きいため酸化膜換算膜厚に対する物理膜厚の換算ができない点に鑑み、本出願人により、ゲート絶縁膜評価方法として提案されている (特願平 11-364206 号)。この評価方法では、厚いシリコン酸化膜をゲート絶縁膜として有する電界効果トランジスタを、評価対象のゲート絶縁膜を有する電界効果トランジスタと同時に

20 形成することにより、膜質及び膜厚が明らかである厚いシリコン酸化膜をゲート絶縁膜として有する電界効果トランジスタを用いて、ゲート電極中不純物の空乏化等による、ゲート絶縁膜の膜厚を求める際に防げとなる要因 (寄生の膜厚) やチャネル濃度を安定に求めることができる。その結果、評価対象のゲート絶縁膜における構造が複雑な場合や、膜厚が分からぬ場合においても、電気的及び物理的なゲート絶縁膜を得ることができる。

【0053】従って、ゲート絶縁膜の膜厚が分からぬ場合やゲートリード電流が大きなゲート絶縁膜でも電気的の膜厚が求められるので、式 (1)

$$\dots (1)$$

※ は界面単位の等価容量、 C_{ox} はシリコン酸化膜容量及び、式 (2)

$$\dots (2)$$

★電流 (I_d) 及びゲート電流 (I_g) を表す。同グラフでは、しきい値 (V_{th}) 近傍の電圧で、ドレイン電流値がゲート電流よりも 2 衍大きいため、酸化膜換算膜厚の算出に用いるしきい値電圧を求める際にゲート電流の影響を受けない。

【0055】つまり、同グラフから、MOSトランジスタのしきい値 (V_{th}) として、ゲート電圧 (V_g) が $0.2 \sim 0.5$ V の範囲に対応する値が用いられることが読み取れ、この範囲でのゲート電流 (I_g) はドレイン電流 (I_d) よりも約 2 衍小さいので、しきい値 (V_{th}) への影響が少ないとになる。一般に、しきい値 (V_{th}) の基板電圧 (V_b) 依存性は次式 (3) で表すことができる。

$$V_{th} = ((2\epsilon_s \epsilon_{nch} q N_{ch})^{1/2} / C_{ox}) (V_b + 2\phi_f)^{1/2} + V_{fs} + 2\phi_f \quad \dots (3)$$

※ はシリコンの比誘電率、q は電荷量、 ϕ_f はフェルミ準位、 V_{fs} はフラットバンド電圧)

〔0056〕図13は、ゲート絶縁膜が酸化膜の場合におけるトランジスタのしきい値(V_{th})の基板電圧(V_s)依存性を示す。横軸は、(基板電圧+2×フェルミ準位) $^{1/2}$ を、縦軸にしきい値電圧を夫々示す。このグラフでは、式(3)より、直線の傾きからチャネル濃度(N_{ch})及び酸化膜換算膜厚(酸化膜容量 C_{ox})を求めることができる。

〔0057〕同グラフにおいて、薄いゲート酸化膜と同じプロセスで形成した薄いゲート酸化膜では、物理膜厚(T_{ox_phys})が酸化膜換算膜厚(T_{ox_eq})と同じであることから、ゲート電圧の空乏化やチャネルの量化による寄生的な膜厚(T_{ox_paras})を求めることができる。つまり、 $T_{ox_eq} = T_{ox_phys} + T_{ox_paras}$ となる。最後に、薄い酸化膜の酸化膜換算膜厚 $T_{ox_eq} = T_{ox_phys} - T_{ox_paras}$ を求める。

〔0058〕図14は、トランジスタのしきい値における基板電圧依存性(式(3))から求めた酸化膜換算膜厚(T_{ox_eq})と、膜厚測定装置(断面TEM及びエリプソメータ)により求めた物理膜厚(T_{ox_phys})との関係を示すグラフである。横軸は、膜厚測定装置(断面TEM及*

*エリプソメータ)を用いて求めた物理膜厚(T_{ox_phys})を、縦軸は、式(3)で求めた酸化膜換算膜厚(T_{ox_eq})を夫々示す。

〔0059〕同グラフにおいて、グラフの直線の傾きが10%変化した際には、求めた酸化膜換算膜厚が3%変化する。チャネル濃度が10%変化した際には、求めた酸化膜換算膜厚が5%変化する。直線の傾き及びチャネル濃度の双方が10%変化した際でも、酸化膜換算膜厚の変化は8%であり、膜厚1.5nmに対しては誤差が10.1nmに収まっている。これにより、トランジスタの電気特性から酸化膜換算膜厚を求める方法は、薄い領域でも精度が良いことが分かる。本方法で求めた酸化膜換算膜厚の誤差要因として、直線の傾き抽出とチャネル濃度が挙げられる。また、式(3)から求めた膜厚は膜厚測定装置で求めた膜厚とはほぼ同じ値であり、式(3)を用いた膜厚測定法の妥当性が理解できる。

〔0060〕上記測定法で物理膜厚及び酸化膜換算膜厚を求めた結果を表1に示す。

〔0061〕
20 [表1]

形成プロセス	酸化膜中空素濃度(XPS)	物理膜厚/酸化膜換算膜厚	比誘電率
O ⁺ → N ⁺	7%	2.5/1.5 nm	6.5
O ⁺ + N ⁺	4%	2.5/1.6 nm	6.1
N ⁺ → O ⁺	12%	2.5/1.9 nm	5.1
O ⁺	0%	1.5/1.5 nm	3.9

〔0062〕表1に示すように、第1のラジカルプロセス(O⁺→N⁺)で形成されたシリコン酸化膜では膜中の空素濃度(XPS)が7%で、物理膜厚及び物理膜厚に対する酸化膜換算膜厚が夫々2.5nm及び1.5nmであり、比誘電率が6.5であった。また、第2のラジカルプロセス(O⁺+N⁺)で形成されたシリコン酸化膜では膜中の空素濃度が4%で、物理膜厚及び酸化膜換算膜厚が夫々2.5nm及び1.6nmであり、比誘電率が6.1であった。

〔0063〕第3のラジカルプロセス(N⁺→O⁺)で形成されたシリコン酸化膜では膜中の空素濃度が12%で、物理膜厚及び酸化膜換算膜厚が夫々2.5nm及び1.9nmであり、比誘電率が5.1であった。また、活性酸素O⁺のみを用いて形成したシリコン酸化膜では膜中の空素濃度が0%であり、物理膜厚及び酸化膜換算膜厚は双方とも1.5nmであり、比誘電率が3.9であった。

〔0064〕表1から、本発明では、少なくとも第1及び第2のラジカルプロセスで作製したシリコン酸化膜の比誘電率が6以上と、空素導入量から期待される通常

のシリコン酸化膜の比誘電率より高く、酸化膜中空素濃度(XPS)が5~10%のシリコン酸化膜で通常のシリコン空化膜に近い値を示すことが分かる。また、物理膜厚が酸化膜換算膜厚の約1.5倍であることから、例えば、シリコン酸化膜の換算膜厚1~3nmに対する物理膜厚を1.5~4.5nmの範囲で厚くすれば、良好なトランジスタ特性を維持しながらも、ゲートリーアク電流を有効に低減できる構造を得られることが理解できる。

〔0065〕ところで、膜厚の厚いシリコン酸化膜の比誘電率に関する記事が、ジャーナル・オブ・エレクトロケミカル・ソサイエティ(J. Electrochem. Soc.)の1968年、第115巻、p. 311~317に掲載されている。この中には、750~1100°Cの基板温度下で、シランガスとアンモニアガスとを用いてシリコン酸化膜を、シランガスとアンモニアガスと一酸化空素ガスとを用いてシリコン酸化膜を、夫々150nmの厚さに成長する点、及び、作製されたシリコン酸化膜の比誘電率がMOSの容量と物理膜厚とから求められ、その比誘電率がシリコン酸化膜の比誘電率とシリコン酸化膜の比誘電率との単調な

次線形補間にによって得られる点が記載されている。

【0066】図15は、膜厚1.5nmのシリコン酸窒化膜についての比誘電率を示すグラフである。横軸は、膜がシリコン酸化膜とシリコン酸窒化膜との混合膜で構成される場合におけるシリコン酸窒化膜の比率、つまり、シリコン酸窒化膜における酸化シリコンの組成比 x を、縦軸は比誘電率を表す。

【0067】同グラフでは、活性酸素 O^{\bullet} のみを用いて形成したシリコン酸化膜は、従来の酸化膜と同じ比誘電率を示す。一方、第1のラジカルプロセス $O^{\bullet}+N^{\bullet}$ 及び第2のラジカルプロセス $O^{\bullet}+N^{\bullet}$ で夫々形成したシリコン酸窒化膜は、通常のシリコン酸窒化膜から予想される誘電率（図の破線で示す）よりも極めて高い値を示す。

【0068】図15のグラフ中で、膜内における酸化シリコンの組成比 x が0.05~0.5の範囲で、比誘電率が4.5以上且つ6.0未満のシリコン酸窒化膜は、第3のラジカルプロセス $O^{\bullet}+O^{\bullet}$ で形成されたものである。このシリコン酸窒化膜から予想される値である。このシリコン酸窒化膜の誘電率は、通常のシリコン酸化膜から予想される値である。このシリコン酸窒化膜によると、通常のトランジスタ特性及びゲートリーキ電流特性が得られ、また、界面近傍の窒素によるシリコン酸窒化膜信頼性はやや低いという結果が得られる。

【0069】また、膜内における酸化シリコンの組成比 x が0.05~0.45の範囲で、比誘電率が6.0以上且つ6.5未満のシリコン酸窒化膜は、第2のラジカルプロセス $O^{\bullet}+N^{\bullet}$ で形成されたものである。このシリコン酸窒化膜の誘電率は、通常のシリコン酸化膜から予想されるよりも極めて高い値である。このシリコン酸窒化膜によると、通常のトランジスタ特性及び低ゲートリーキ電流特性が得られ、また、界面近傍の窒素によるシリコン酸窒化膜信頼性はやや低いという結果が得られる。

【0070】更に、膜内における酸化シリコンの組成比 x が0.05~0.4の範囲で、比誘電率が6.5以上且つ7.5未満のシリコン酸窒化膜は、第1のラジカルプロセス $O^{\bullet}+N^{\bullet}$ で形成されたものである。この場合、膜厚が薄くて比誘電率が高いシリコン酸窒化膜による絶縁膜を得ることができ、窒素が、絶縁膜とその隣接する基板との界面近傍まで及ぶことがないので、トランジスタの特性を向上させる上で好ましい。また、ゲートリーキ電流の低減と、シリコン酸窒化膜との高い信頼性とが得られる。ところで、シリコン酸窒化膜の比誘電率を7.5未満に抑えたのは、比誘電率7.5を超えると、絶縁膜中の深さ方向での全域が酸化し、ゲート絶縁膜のシリコン基板側が酸化膜状にされずにトランジスタ特性が損なわれるおそれがあるからである。

【0071】図16は、各種形成法で形成したシリコン酸窒化膜をゲート絶縁膜としたMOSトランジスタから求めた電子移動度を示す比較図である。つまり、第1~第3のラジカルプロセスで形成した各シリコン酸窒化膜

と、活性酸素 O^{\bullet} のみを用いて形成したシリコン酸化膜とにおける実効移動度を示す。横軸は実効電界(MV/cm)を、縦軸は実効移動度(cm^2/Vs)を表す。

【0072】同図グラフから、電子の移動度は、シリコン酸化膜と、酸化後の窒化工程で形成したシリコン酸窒化膜との間でほぼ同等であることが確認できる。また、作製したNMOSトランジスタのドレイン電流も、窒化後の酸化工程で形成したシリコン酸窒化膜（図15参照）を除いては、シリコン酸化膜とシリコン酸窒化膜と同等であることが確認できる。

【0073】第3のラジカルプロセス $O^{\bullet}+O^{\bullet}$ で形成した酸窒化膜は、窒素ピークがシリコン酸窒化膜とシリコン基板との界面にあるので、実効移動度が小さい。これに対し、第1及び第2のラジカルプロセス $O^{\bullet}+N^{\bullet}$ 及び $O^{\bullet}+N^{\bullet}$ で形成したシリコン酸窒化膜は、窒素ピークがシリコン酸窒化膜とシリコン基板との界面から離れており、第3のラジカルプロセス $O^{\bullet}+O^{\bullet}$ で形成したシリコン酸窒化膜に比して実効移動度が大きい。しかし、シリコン酸窒化膜とシリコン基板との界面に窒素を多少有するため、窒素を含まない酸化膜（ O^{\bullet} ）の実効移動度より最大値が小さい。実際に使用する電源電圧は、実効電界が1.5MV/cmのときであり、このときの第1及び第2のラジカルプロセス $O^{\bullet}+N^{\bullet}$ 、 $O^{\bullet}+N^{\bullet}$ で形成した各シリコン酸窒化膜の実効移動度は、酸化膜（ O^{\bullet} ）と同じである。よって、ドレイン電流は同等となる。

【0074】図17は、各種の形成法で形成したシリコン酸窒化膜をゲート絶縁膜とするMOSトランジスタにおけるドレイン電流の比較図である。つまり、第1~第3のラジカルプロセスで形成した各シリコン酸窒化膜と、活性酸素 O^{\bullet} のみで形成したシリコン酸化膜とのドレイン電流を示す。横軸はゲート電極の長さ（ μm ）を、縦軸はドレイン電流 I_d （mA/ μm ）に酸化膜換算膜厚 $T_{ox,eq}$ （nm）を表す。

【0075】第3のラジカルプロセス $O^{\bullet}+O^{\bullet}$ で形成したシリコン酸窒化膜は、窒素ピークが酸窒化膜とシリコン基板との界面にあり、ドレイン電流が小さい。これに対し、第1及び第2のラジカルプロセス $O^{\bullet}+N^{\bullet}$ 、 $O^{\bullet}+N^{\bullet}$ で形成した各シリコン酸窒化膜は、窒素ピークが酸窒化膜とシリコン基板との界面から離れている。また、窒素を含まない酸化膜 O^{\bullet} のドレイン電流は同等である。

【0076】図17のグラフと前述の表1とから、シリコン基板表面を酸化した後に窒化処理した第1のラジカルプロセス $O^{\bullet}+N^{\bullet}$ によるシリコン酸窒化膜では、膜中の窒素量が増加し、表1における酸化膜換算膜厚が一定値のままで、ゲートリーキが低減することが確認できる。このシリコン酸窒化膜を有するMOSトランジスタは、正常動作することが確認されている。

【0077】図18は、各種形成法で形成したシリコン酸窒化膜をゲート絶縁膜とするMOSトランジスタから求

めたシリコン酸窒化膜の絶縁破壊信頼性を示す比較図である。つまり、第1及び第2のラジカルプロセスで形成したシリコン酸窒化膜と、活性素O[•]のみを用いて形成したシリコン酸化膜と、従来方法で形成した酸窒化膜(N O[•]→D ry-O[•])における絶縁破壊信頼性を示す。横軸は、絶縁破壊するまでの時間(秒)を、縦軸は、絶縁破壊した試料の累積度数分布(ワイブルプロット)を表す。

【0078】第1のラジカルプロセスO[•]→N[•]で形成したシリコン酸窒化膜の信頼性は特に高く、例えば1000秒以上の時間でも絶縁破壊しない。同図から、シリコン基板を酸化後に窒化する工程で作製する第1のラジカルプロセスO[•]→N[•]によるシリコン酸窒化膜は、その絶縁破壊信頼性が従来の酸化膜に比して、1000倍以上向上している点が確認できる。

【0079】このように、本発明に係る製造方法で形成したシリコン酸窒化膜は、熱窒化処理する従来のシリコン酸窒化膜に比して、酸化膜換算膜厚を一定にしたままで誘電率を高くすることができ、ゲートリードの低電化に極めて高い効果が得られることが理解できる。

【0080】つまり、本発明によると、酸化シリコンの比誘電率及び窒化シリコンの比誘電率を組成比で単純平均した比誘電率よりも大きい比誘電率のシリコン酸窒化膜を含むゲート絶縁膜を得ることができる。具体的に、本発明では、シリコン酸窒化膜の比誘電率をε、酸化シリコンの比誘電率をε₁、9、窒化シリコンの比誘電率をε₂、シリコン酸窒化膜における窒化シリコンの組成比をx₁、とするとき、比誘電率εが、次式(4)

$$(1-x) \times 3.97 + x \times 7 \quad \dots \dots (4)$$

で表される値よりも大である特性が得られる。このような特性を有するシリコン酸窒化膜により、薄膜のゲート絶縁膜に隣接するゲート電極から不純物が該絶縁膜を通して逆側のシリコン基板に影響を及ぼすような現象を確実に抑止する構造が得られる。

【0081】以下、図面を参照し、本発明の実施形態例に基づいて本発明を更に詳細に説明する。図1は、本発明の第1実施形態例に係るMOSトランジスタの概略構成を示す断面図である。

【0082】素子分離領域20で相互に分離されて隣接するMOSトランジスタは夫々、シリコン基板10上に、チャネルを挟んで相互に隣接するソース領域70及びドレイン領域80を含む素子領域と、チャネル上にゲート絶縁膜30を介して形成されたゲート電極51(52)と、ゲート電極51(52)の各側壁を覆うゲート側壁絶縁膜60とを備えている。

【0083】上記MOSトランジスタは、シリコン基板10上にゲート絶縁膜30を有している。このゲート絶縁膜30は、シリコン基板10上に1~3nm厚のシリコン酸化膜を形成し、活性素O[•]を用いた300~900°Cの温度下の窒化処理で上記シリコン酸化膜を1~3nm

厚のシリコン酸窒化膜に形成し、このシリコン酸窒化膜を用いたものである。つまり、このシリコン酸窒化膜は、第1のラジカルプロセスO[•]→N[•]で形成されており、膜中の窒素濃度分布は、図10で説明したように、酸窒化膜表面側にピークが位置する。以上のような活性素系種での表面反応を利用することにより、酸窒化膜中の窒素の濃度分布が制御されている。

【0084】ここで、膜厚を1~3nmに限定して考えるのは、膜厚が1nm以下の場合には、活性素による窒化を十分に酸窒化膜内に制御することができず、シリコン基板もも酸化させ、酸窒化膜とシリコン基板との界面ラフネスを増加させて良好なトランジスタ特性を損ない、また、膜厚が3nmを超える場合には、不純物突き抜けやトンネルリーク電流に関して従来型のシリコン酸化膜に対する優位性がなくなるからである。

【0085】次に、本発明の第2実施形態例に係るMOSトランジスタについて図2を参照して説明する。このMOSトランジスタは、シリコン基板10上に1~3nm厚のシリコン酸化膜を形成した後に、活性素を用いて300~900°Cの温度下で上記シリコン酸化膜を窒化処理することで形成した窒素濃度3~10%のシリコン酸窒化膜をゲート絶縁膜31として備える。つまり、このシリコン酸窒化膜も、第1のラジカルプロセスO[•]→N[•]で形成されている。なお、本実施形態例における他の部材及び構成は、図1に示したMOSトランジスタと同様である。

【0086】ここで、窒素濃度を3~10%とする理由は、窒素濃度が3%未満の場合には、図11に示したように、ゲートリード低減効果が発現しないからである。また、窒素濃度が1%を超える場合には、酸窒化膜中の窒素がシリコン基板に到達し、酸窒化膜とシリコン基板との界面ラフネスが増加することと、シリコン基板中のキャリア移動度が減少してトランジスタ特性が劣化することによる。

【0087】次に、本発明の第3実施形態例に係るMOSトランジスタについて図3を参照して説明する。このMOSトランジスタは、シリコン基板10上に1~3nm厚のシリコン酸化膜を形成した後に、活性素を用いて300~900°Cの温度下で上記シリコン酸化膜を窒化処理することによって形成されたシリコン酸窒化膜をゲート絶縁膜32として備える。つまり、このシリコン酸窒化膜も第1のラジカルプロセスO[•]→N[•]で形成されており、その膜中窒素分布が表面から1nm以内に亘り、且つ、最大窒素濃度位置が膜中心部分よりも表面側に位置している。本実施形態例における他の部材及び構成も、図1のMOSトランジスタと同様である。

【0088】ここで、膜中窒素分布が表面から1nm以内に亘り、且つ、最大窒素濃度位置が膜中心部分よりも表面側に位置するとした理由は、以下の通りである。つまり、酸窒化膜の膜厚を1~3nmとする場合には、少

なくとも活性窒素によるシリコン酸化膜の変化において窒素がシリコン基板に導入されない窒素分布となる。これは、窒素がシリコン基板に導入された場合には、シリコン基板中のキャリアの移動度が劣化し、トランジスタ特性が劣化するためである。

【0089】次に、本発明の第4実施形態例に係るMOSトランジスタについて図4を参照して説明する。このMOSトランジスタは、シリコン基板10上に1~3nm厚のシリコン酸化膜を形成した後に、活性窒素を用いて300~900°Cの温度下で上記シリコン酸化膜を窒化処理することで形成された比誘電率が6以上シリコン酸化膜をゲート絶縁膜3として備える。

【0090】ここで、比誘電率を6以上とする理由は、シリコン酸化膜厚を1~3nmとする場合に、通常のシリコン酸化膜に比して物理膜厚が約1.5倍となることにより(表1参照)、少なくともゲートリード電流が1桁以上も低減する効果を得るためである。

【0091】次に、本発明の第5実施形態例に係るMOSトランジスタについて図5を参照して説明する。本実施形態例に係るMOSトランジスタは、第1実施形態例に係るMOSトランジスタをほぼ同様の構成を有するが、シリコン酸化膜から成るゲート絶縁膜30上に、通常の酸化膜で形成した、ゲート絶縁膜30とは構成が異なる別のゲート絶縁膜54を備える。このような積層構造のゲート絶縁膜30、54を備えた本MOSトランジスタでは、上層ゲート絶縁膜54からの下層ゲート絶縁膜30への不純物拡散防止及び反応防止効果、並びに、良質な下層ゲート絶縁膜30による良好なトランジスタ特性とゲートリード電流の低減効果を得ることができる。

【0092】以上の第1~第5実施形態例に係るシリコン酸化膜(30~33)がMOSトランジスタのゲート絶縁膜に適用することにより、ゲート電極51、52からの不純物(ボン)がシリコン酸化膜(30~33)を突き抜けでシリコン基板10に影響を与える現象を効果的に抑止することができる。

【0093】次いで、本発明によるMOSトランジスタの製造方法を説明するが、まず、この製造方法を行うUHV-酸化膜形成装置(超高真空チャンバ)について具体的に説明する。図6は、この酸化膜形成装置の概略構造を示す模式図である。

【0094】本UHV-酸化膜形成装置は、交換室101と、試料処理室102と、ヒータ室103とを備え、交換室101は、複数枚のウエハ107を収納可能に構成されている。試料処理室102と交換室101との間には、ゲートバルブ104が配設されており、各部屋が、複数のポンプで構成される排気系151、152、153によって排気される。

【0095】また、排気系153には圧力コントロールシステムが装備されており、試料処理室102の内部圧力を調整する。交換室101に隣接して、試料処理室1

02と交換室101との間でウエハを移動させるためのウエハ搬送機構106が配設されている。このウエハ搬送機構106を有することにより、UHV-酸化膜形成装置では、試料処理室102を大気に曝すことなくウエハを交換及び移動させることができる。また、試料処理室102には、ウエハを加熱するためのヒータ105と、活性酸素O₂及び活性窒素N₂を生成するECRプラズマ源108と、ガス供給系とが配設されている。

【0096】ヒータ105は、基板温度を1200°Cまで加熱することができる。また、ガス供給系は、酸素ガスボンベ123と、窒素ガスボンベ127と、ジシランガスボンベ131と、ストップバルブ120、122、124、126、128、130と、マス・フロウ・コントローラ121、125、129とを備える。このガス供給系120~131は、酸素ガスと窒素ガスとをECRプラズマ源108を通して試料処理室102に導入する。導入される酸素ガス及び窒素ガスは、マス・フロウ・コントローラ121、125、129によって調整され、 1×10^{-1} ~50Paの範囲で制御することができる。

【0097】本UHV-酸化膜形成装置により、ゲート絶縁膜を形成するに必要な活性酸素O₂と活性窒素N₂とを試料処理室102に導入して、本発明の成膜条件を実現することができる。つまり、ECRプラズマ源108を介して酸素ガスと窒素ガスとを導入することにより活性酸素O₂と活性窒素N₂とを供給し、マス・フロウ・コントローラ121、125、129により酸素ガスと窒素ガスとの流量比を制御し、試料処理室102内の圧力を0.1~1Paとなるように設定する。

【0098】上記UHV-酸化膜形成装置を用いた実験では、直徑200mmのp-Si(100)と、 $\rho = 0.022\text{ cm}$ のシリコン基板上に予め素子分離領域を形成したものを試料に用いた。素子分離は、シリコン表面に熱酸化膜を形成した後、素子分離領域を選択的に酸化する際のマスクとなるシリコン酸化膜を被着し、パターニングにより素子領域にのみ該シリコン酸化膜を残存させ、素子分離領域に基板シリコンと同一型の不純物を導入し、その後、素子分離領域に厚い酸化膜を形成した。この試料は、自動洗浄装置により、ウェット洗浄工程(APM洗浄→純水洗浄→HF洗浄→純水洗浄→1PA乾燥工程)を経過した後、直ちに本UHV-酸化膜形成装置に搬送される。

【0099】APM洗浄は、NH₄OH : H₂O₂ : H₂O = 1 : 6 : 2の比率で混合し、65°Cに加熱した薬液中で、5分間行った。次いで、クイックダンプリングによる純水洗浄を2回行い、HF : H₂O = 1 : 50の薬液中で4.5秒間の処理を行った。その後、オーバーフロー純水洗浄を2分間行い、最後に1PA乾燥によってウエハ表面から水滴を除去する。ウェット洗浄の後、ウエハは直ちにUHV-酸化膜形成装置の交換室101に

搬送する。

【0100】交換室101の真空度は1.33×10⁻³Pa(1.0×10⁻¹Torr)以下、試料処理室102の真空度は1.33×10⁻¹Pa(1.0×10⁻¹Torr)以下に夫々設定されており、この交換室101で充分に排気を行った後、試料は試料処理室102へと搬送される。搬送された試料は、ヒータ105によって裏面から92.0°Cの温度で5分間のアニール処理が施される。その結果として、Si表面から洗浄後に形成された自然酸化膜が脱離し、Si清浄表面が露出する。このとき、Si清浄表面には、原子的平坦な面が形成される。

【0101】引き続き、試料温度を62.0°Cに保ちながら、本発明に係る製造方法によってゲート酸化膜を形成し、更に、試料温度を65.0°Cに保ちながら、ジランを1.0scmの流量で流してゲート電極ボリシリコンを堆積させた。本例では、その後の試料を大気中に取り出し、MOS-FETトランジスタを作製した。

【0102】次に、本発明に係る半導体装置の製造方法(第3のラジカルプロセスN⁻+O⁺)について図7を参照して説明する。図7(a)～(c)は各工程を段階的に示す断面図である。まず、図7(a)に示すように、シリコン基板10上に、通常の熱酸化法で1～3nm厚のシリコン酸化膜40を形成した後に、シリコン酸化膜40に、窒素ガスのプラズマ励起で形成する活性窒素を用いた300～900°Cの温度下での窒化処理を施し、図7(b)に示すように、シリコン酸化膜40を1～3nm厚のシリコン酸化膜30に形成する。次いで、通常のゲート電極51、52の形成工程と、ソース領域70及びドレイン領域80の形成工程とによって、図7(c)に示すように、MOSトランジスタを完成させる。

【0103】次に、本発明に係る半導体装置の別の製造方法(第1のラジカルプロセスO⁻+N⁺)について図8を参照して説明する。図8(a)～(c)は各工程を段階的に示す断面図である。まず、図8(a)に示すように、シリコン基板10上に、活性酸素を用いた酸化法によって1～3nm厚のシリコン酸化膜41を形成した後、このシリコン酸化膜41に、窒素ガスのプラズマ励起で形成する活性窒素を用いた300～900°Cの温度下での窒化処理を施し、図8(b)に示すように、1～3nm厚のシリコン酸化膜31を形成する。次いで、通常のゲート電極51、52の形成工程と、ソース領域70及びドレイン領域80の形成工程とによって、図8(c)に示すように、MOSトランジスタを完成させる。

【0104】次に、本発明に係る半導体装置の更に別の製造方法(第2のラジカルプロセスO⁺+N⁺)について図9を参照して説明する。図9(a)及び(b)は各工程を段階的に示す断面図である。まず、図9(a)に示すように、シリコン基板10上に、活性酸素と活性窒素とを用いた300～900°Cの温度下での酸化法によって、1～3nm厚のシリコン酸化膜42を一度に形

成する。その後、通常のゲート電極51、52の形成工程と、ソース領域70及びドレイン領域80の形成工程とによってMOSトランジスタを完成させる。

【0105】本発明に係る上記各製造方法では、膜厚1～3nmのMOSトランジスタの場合に、半導体装置の製造工程で生じるゲート電極中の不純物がゲート絶縁膜を通してシリコン基板表面に達するという問題を完全に解消することができる。また、シリコン酸化膜とシリコン基板との間の界面ラフネスを大幅に低減できる。更に、シリコン酸化膜をMOSトランジスタのゲート絶縁膜に適用することにより、電子又は正孔の移動度を通常のシリコン酸化膜と同様に維持しながら、膜厚1～3nmのゲート酸化膜のゲートリードを1～2桁低減することができる。

【0106】また、本発明の上記各製造方法では、酸素又は窒素の活性種が酸素ガス又は窒素ガスのECRでのプラズマ励起で形成されていたが、このような活性種は、その他、ICP、RFプラズマ又はヘリコン波プラズマでの励起で生成されてもよい。或いは、これに代えて、酸素ガス或いは窒素ガスの光励起の方法で生成されてもよい。

【0107】活性種として酸素或いは窒素の中性ラジカルのみを取り出して酸化膜を形成することもできる。例えば、プラズマ励起室で形成した活性種のうち、寿命の比較的長い中性ラジカルをダウンフロー方式で取り出し、取り出した中性ラジカルをシリコン基板の表面に照射する。このようにして、中性ラジカルとシリコン基板表面との反応で酸化膜を形成する。この方法によると、活性種が一種類に制御されるので、形成される酸化膜の品質が更に向上する。

【0108】また、上記各製造方法では、処理温度を300～900°Cに設定したが、この設定は、熱反応ではなく、反応性の高い活性種による酸化反応を利用しているためであり、本発明を用いることにより、従来に比して低温下での酸化膜形成が可能となる。なお、本発明のシリコン酸化膜は、DRAM等のキャパシタの容量绝缘膜にも適用することができる。

【0109】以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の半導体装置及びMIS型半導体装置並びにその製造方法は、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施した半導体装置及びMIS型半導体装置並びにその製造方法も、本発明の範囲に含まれる。

【0110】

【発明の効果】以上説明したように、本発明の半導体装置によると、極薄の絶縁膜に隣接する電極から不純物が該絶縁膜を通して逆側の電極や基板に影響を及ぼす現象を確実に抑止できる構造を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態例に係るMOSトランジスタを模式的に示す断面図。

【図2】本発明の第2実施形態例に係るMOSトランジスタを模式的に示す断面図。

【図3】本発明の第3実施形態例に係るMOSトランジスタを模式的に示す断面図。

【図4】本発明の第4実施形態例に係るMOSトランジスタを模式的に示す断面図。

【図5】本発明の第5実施形態例に係るMOSトランジスタを模式的に示す断面図。

【図6】本発明に係る半導体装置の製造方法で用いるUHV-酸窒化膜形成装置の概略構造を示す模式図。

【図7】本発明に係る半導体装置の製造方法を示し、(a)～(c)は各工程を段階的に示す断面図。

【図8】本発明に係る別の製造方法を示し、(a)～(c)は各工程を段階的に示す断面図。

【図9】本発明に係る更に別の製造方法を示し、(a)及び(b)は各工程を段階的に示す断面図。

【図10】活性酸素或いは活性窒素を用いて形成するシリコン酸窒化膜中の窒素分布を示すグラフ図。

【図11】本発明によるシリコン酸窒化膜を用いたMOSトランジスタと従来のシリコン酸窒化膜を用いたMOSトランジスタとの間のゲート電流とドレイン電流との関係を示すグラフ図。

【図12】MOSトランジスタにおける基板電圧の変化時のドレイン電流、ゲート電圧、ゲート電流の関係を示すグラフ図。

【図13】電気膜厚を求めるためのMOSトランジスタにおける基板電圧としきい値電圧の関係を示すグラフ図。

【図14】MOSトランジスタ特性から求めた酸化膜換算膜厚と物理測定又は光学測定で求めた酸化膜換算膜厚との比較結果を示すグラフ図。

【図15】膜厚1.5nmのシリコン酸窒化膜についての比誘電率を示すグラフ図。

【図16】各種形成法で形成したシリコン酸窒化膜をゲート絶縁膜とするMOSトランジスタより求めた電子移動度の比較を示すグラフ図。

【図17】各種形成法で形成したシリコン酸窒化膜をゲート絶縁膜とするMOSトランジスタのドレイン電流の比較を示すグラフ図。

* トート絶縁膜とするMOSトランジスタのドレイン電流の比較を示すグラフ図。

【図18】各種形成法で形成したシリコン酸窒化膜をゲート絶縁膜とするMOSトランジスタより求めたシリコン酸窒化膜の絶縁破壊信頼性の比較を示すグラフ図である。

【符号の説明】

10:シリコン基板

20:素子分離領域

30～33:ゲート絶縁膜

40～42:シリコン酸窒化膜

51、52:ゲート電極

60:ゲート側壁絶縁膜

70:ソース領域

80:ドレイン領域

101:交換室

102:試料処理室

103:ヒータ室

104:ゲートバルブ

20:105:ヒータ

106:ウェハ搬送機構

107:ウェハ

108:ECRプラズマ源

120:ストップバルブ

121:マス・フロウ・コントローラ

122:ストップバルブ

123:酸素ガスボンベ

124:ストップバルブ

125:マス・フロウ・コントローラ

30:126:ストップバルブ

127:窒素ガスボンベ

128:ストップバルブ

129:マス・フロウ・コントローラ

130:ストップバルブ

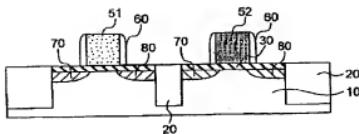
131:ジシランガスボンベ

151:排気系

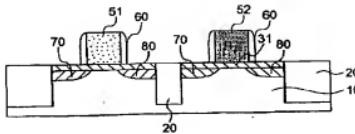
152:排気系

153:排気系

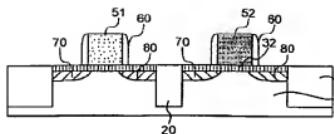
【図1】



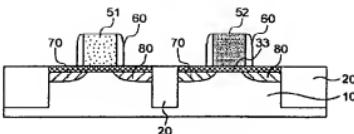
【図2】



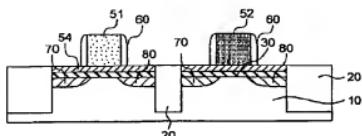
【図3】



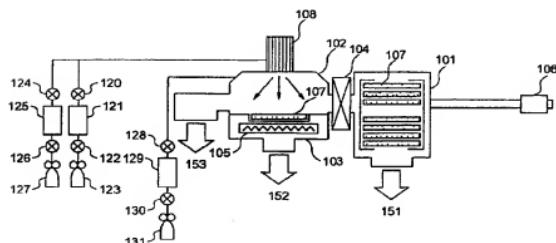
【図4】



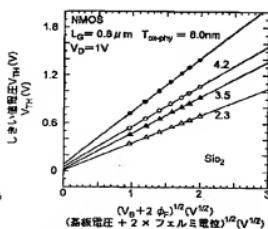
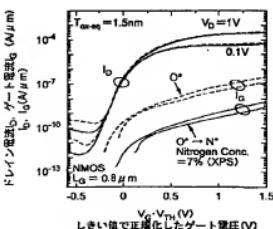
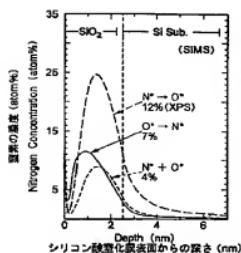
【図5】



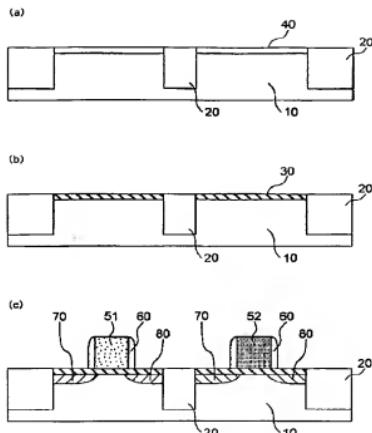
【図6】



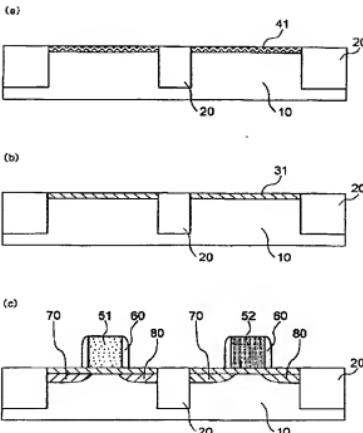
【図10】



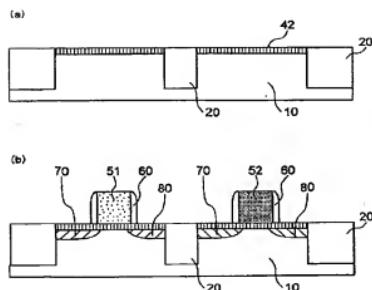
〔図7〕



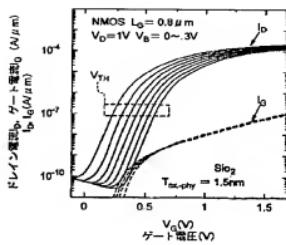
〔図8〕



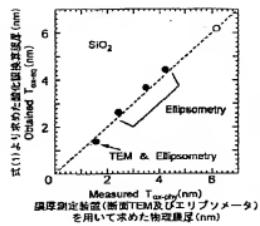
〔図9〕



〔図12〕

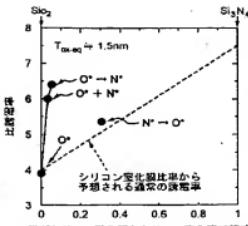


【図14】



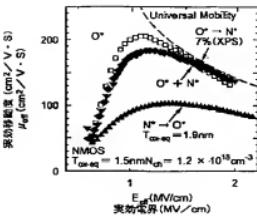
式(1)より求めた比表面積
Measured T_{oxeq} (nm)
測厚測定装置(実測TEM及びエリプソメータ)
を用いて求めた物理膜厚 (nm)

【図15】

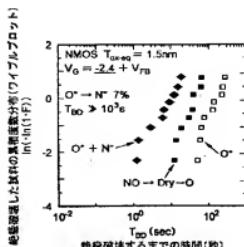
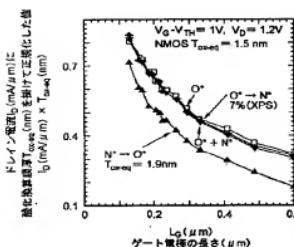


図がシリコン酸化膜とシリコン窒化膜で構成
されている場合のシリコン酸化膜の比率 x

【図16】



【図17】



フロントページの続き

(72)発明者 渡部 宏治
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 山本 豊二
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 五十嵐 信行
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 柴 和利
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 辰巳 敏
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 小野 春彦
東京都港区芝五丁目7番1号 日本電気株
式会社内

F ターム(参考) SF040 DA00 DA19 DB01 EC07 ED03
ED07
SF048 AA07 AB01 AC01 AC03 AC10
BB05 BB11 BB13 DA25
SF058 BA20 BC11 BF55 BF62 BF63
BF73 BH16 BJ10